

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-257038

(43)公開日 平成10年(1998)9月25日

(51)Int.Cl.<sup>o</sup>  
H 04 L 7/00  
H 04 J 3/06  
H 04 L 7/033

識別記号

F I  
H 04 L 7/00  
H 04 J 3/06  
H 04 L 7/02

H  
Z  
B

審査請求 有 請求項の数4 O L (全 5 頁)

(21)出願番号 特願平9-56762

(22)出願日 平成9年(1997)3月12日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 江尻 哲

東京都港区芝五丁目7番1号 日本電気株式会社内

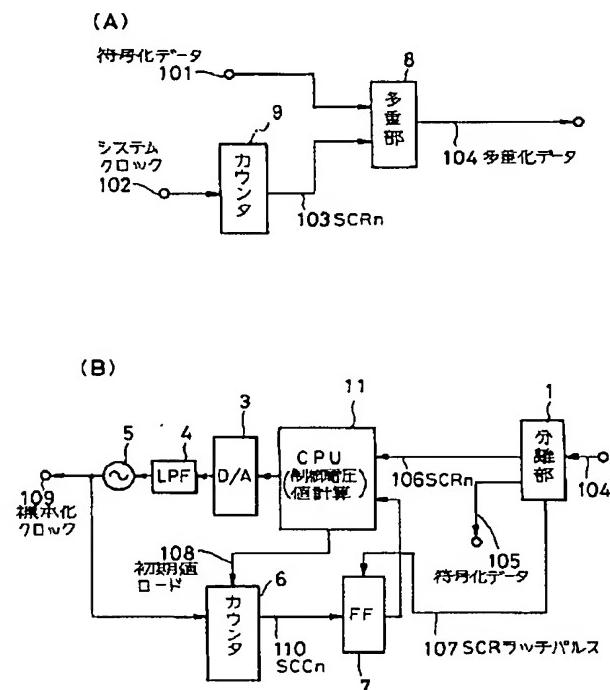
(74)代理人 弁理士 ▲柳▼川 信

(54)【発明の名称】 クロック同期化システム

(57)【要約】

【課題】 伝送符号化データの標本化クロックを符号化データと共に送信して、受信側でこの標本化クロックに同期したクロックを再生する場合、当該クロック情報S C R<sub>n</sub>が不等間隔で送信されるときに、受信側で引込みを早くする。

【解決手段】 受信 S C R<sub>n</sub> とカウンタ 6 による S C C<sub>n</sub> とにより、V C X O 5 の制御電圧を生成する場合、C P U 1 では、単位時間当たりの周波数変動量を算出して、この変動量に応じて制御電圧を生成する。これにより、S C R<sub>n</sub> が不等間隔で受信されても、速やかに V C X O 5 を含む P L L ループの追従制御が可能となる。



## 【特許請求の範囲】

【請求項1】 標本化クロックにより伝送すべき情報を標本化することによって符号化された符号化情報に対して、前記クロックを計数した計数情報を間欠的に多重化して伝送する伝送方式における受信側のクロック同期化システムであって、  
多重化受信情報から前記計数情報を分離する分離手段と、

前記クロックの周波数と同一周波数で動作する電圧制御発振手段と、  
この電圧制御発振手段の発振クロックを計数する計数手段と、

前記計数情報の分離時における前記計数手段の計数値と前記分離手段により分離された前記計数情報とにより、単位時間当たりの前記クロックの周波数変動量を算出してこの算出結果に応じて前記電圧制御発振手段の制御電圧を生成する制御手段と、を含むことを特徴とするクロック同期化システム。

【請求項2】 前記計数手段は、前記分離手段による最初の前記計数情報の分離タイミングに応答して、この最初の計数情報を前記計数手段へロードするよう構成されていることを特徴とする請求項1記載のクロック同期化システム。

【請求項3】 前記制御手段は、前記周波数変動量を算出する算出手段と、この算出結果をアナログ量に変換する手段と、このアナログ量を前記制御電圧として前記電圧制御発振手段へ出力する手段とを有することを特徴とする請求項1または2記載のクロック同期化システム。

【請求項4】 前記伝送すべき情報は画像及び音声情報であることを特徴とする請求項1～3いずれか記載のクロック同期化システム。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明はクロック同期化システムに関し、特に標本化クロックにより画像音声等の情報を標本化することによって符号化された符号化情報に対して、当該クロックを計数した計数情報を間欠的に多重化して伝送する伝送方式における受信側のクロック同期化システムに関するものである。

## 【0002】

【従来の技術】 従来のこの種のクロック同期化システムの例を図3のブロック図に示している。図3(A)は受信側ブロックであり、標本化クロックであるシステムクロック102により標本化されて符号化された符号化データ101は、多重化部8の一入力となっている。また、当該システムクロック102を計数するカウンタ9が設けられており、この計数出力103はシステムクロッククリフアレンス情報SCRn(受信側でのクロック回復情報として使用される)として多重化部8の他入力くなっている。

【0003】 尚、SCRnの“n”は、多重化部8で間欠的に符号化データ101と多重化されるSCRの時系列的な数(番号)を示すもので最初のSCRをn=1とすると、nは1以上の整数をとることになる。

【0004】 多重化部8では、符号化データ101とカウンタ計数情報であるSCRn103とが多重化されるもので、送信フレームのヘッダ部の所定箇所に挿入されて、多重化データ104として伝送される。

【0005】 図3(B)を参照すると、受信側ブロック10を示しており、受信された多重化データ104は分離部1へ供給されて符号化データ105とSCRn106とに夫々分離される。SCRn106は差分器2の一入力となり、その他入力にはデータラッチ用のFF(フリップフロップ)7のラッチ出力が供給され、両者の差分値が導出される。

【0006】 この差分値はデジタル信号であるから、D/A変換器3にてアナログ信号に変換され、このアナログ信号を平滑化するLPF(ローパスフィルタ)4を介してVCXO(電圧制御型発振器)5の制御電圧となる。このVCXO5はシステムクロック102と同一の周波数の発振を行うように構成されており、この発振出力が受信側での標本化クロック109として使用されるものである。

【0007】 この発振出力109はカウンタ6へ入力され順次計数される。このカウンタ6の初期値は差分器2からの初期ロード値108がロードされる。この計数出力SCCnはシステムクロックカウンタ値(SCC)としてFF7へ、分離部1からのSCRラッチパルス107のタイミング毎にラッチされ、当該ラッチ出力が差分器2の他入力となるのである。

【0008】 第1回目の受信されたSCR1はカウンタ6へ初期値としてロードされる。第2回目以後に到着するSCRnは差分器2にてカウンタ6の計数値SCC2と夫々比較され、その差分に応じてVCXO5が制御され、受信されたSCR2とSCC2とが一致するよう制御される。かかる制御により、VCXO5の発振出力の位相が送信側の標本化クロックと同期したクロックが受信側で得られることになり、受信側でのクロック回復が可能である。

【0009】 尚、かかるクロック回復(同期)方式について、規格書ISO/IEC13818-1のANELEX(付録)として示されている。

## 【0010】

【発明が解決しようとする課題】 かかる従来技術では、受信側でのクロック回復(同期)方式では、クロック回復情報SCRnと、電圧制御可能なVCXOの自走クロックを計数するカウンタの計数値との差分をとり、その差分に応じてこのVCXOを制御しており、定期的に制御電圧の更新が可能にならなくなっている。

【0011】 しかしながら、伝送方式のフォーマットに

よる制約、画像の符号化データの伝送効率の高能率化等の要因により、クロック回復情報である S C R n の送出間隔が可変となる場合がある。このように、時間軸上で局所的に周波数変動がある場合、従来方式では、その周波数変動に追従できず、その結果クロック回復処理（同期処理）が遅くなるという欠点がある。

【0012】本発明の目的は、クロック回復情報 S C R n の送出間隔が可変となっても、回復処理における再生クロックが送信側のクロックと周波数とが同期しない状態（引き込み状態）から、同期する安定状態へ移行する時間（引き込み時間）を小とし得るようにしたクロック同期システムを提供することである。

### 【0013】

【課題を解決するための手段】標本化クロックにより伝送すべき情報を標本化することによって符号化された符号化情報に対して、前記クロックを計数した計数情報を間欠的に多重化して伝送する伝送方式における受信側のクロック同期化システムであって、多重化受信情報から前記計数情報を分離する分離手段と、前記クロックの周波数と同一周波数で動作する電圧制御発振手段と、この電圧制御発振手段の発振クロックを計数する計数手段と、前記計数情報の分離時における前記計数手段の計数値と前記分離手段により分離された前記計数情報とにより、単位時間当たりの前記クロックの周波数変動量を算出してこの算出結果に応じて前記電圧制御発振手段の制御電圧を生成する制御手段とを含むことを特徴とするクロック同期化システムが得られる。

【0014】そして、前記計数手段は、前記分離手段による最初の前記計数情報の分離タイミングに応答して、この最初の計数情報を前記計数手段へロードするよう構成されていることを特徴としており、前記制御手段は、前記周波数変動量を算出する算出手段と、この算出結果をアナログ量に変換する手段と、このアナログ量を前記制御電圧として前記電圧制御発振手段へ出力する手段と\*

$$\left[ \frac{(\text{S C C}_n - \text{S C R}_n) - (\text{S C R}_n - \text{S C R}_{n-1})}{(\text{S C C}_n - \text{S C C}_{n-1})} \right] / \times 10^6 \quad \dots (1)$$

なる式の計算がなされる。この（1）式の分母は S C R の受信間隔を示し、よって、この（1）式は単位時間当たりの S C C の S C R に対する周波数変動量  $\Delta f$  を表している。

【0022】この周波数変動量  $\Delta f$  に応じて V C X O 5 の制御電圧  $V_n$  が生成されて V C X O 5 の周波数位相制御がなされるのである（29）。この場合、使用する V C X O 5 の特性が S (ppm/Voltage) であるとすると、この制御電圧  $V_n$  は現在の値に  $\Delta V = \Delta f / S$  を加えた値になる。

【0023】尚、S C R の到着時間差が所定値 Q より小であれば、受信側のカウンタ 6 の S C C、受信 S C R の誤差が周波数変動に影響を及ぼすので、この場合は、計算を行わずに次回受信の S C R を使用して計算がなされ

\* を有することを特徴としている。

【0015】本発明の作用を述べる。クロック回復情報 S C R n と V C X O の出力計数値との差分値により、単位時間当たりの周波数偏差を算出して、この単位時間当たりの周波数偏差で V C X O を制御しているので、S C R n の送出間隔に依存しないことになり、よって従来の様な、S C R n の不等送出間隔による同期引き込み時間が長くなることを防止する。

### 【0016】

10 【発明の実施の形態】以下に、図面を参照しつつ本発明の実施例を説明する。

【0017】図 1 は本発明の実施例のブロック図であり、図 3 と同等部分は同一符号により示している。図 1 (A) は送信側ブロック図であり、図 3 (A) と同等であり、その説明は省略する。

【0018】図 1 (A) は受信側ブロック図であり、図 3 (B) と相違する部分につき述べる。図 3 (B) の差分器 2 に代えて、本実施例では、図 2 に示す動作制御をなす C P U (制御電圧計算のためのプロセッサ) 11 を 20 使用しており、入力は、従来同様に、S C R n と F F 7 によるラッチ出力 S C C n である。

【0019】図 2 のフローチャートを参照しつつ動作説明を行う。先ず、受信 S C R の番号 n の初期設定、V C X O 5 の制御電圧値 V の初期化 ( $n = 0, V = V_0$ ) を行い（21）、S C R の到着待ちとなる（22）。

【0020】第 1 回目に到着した S C R 0 はカウンタ 6 に初期値としてロードされる（23～25）。よって、第 2 回目以降に到着した S C R n から C P U 11 は計算を行うことになる。すなわち、カウンタ 6 の S C C n 30 を、S C R n の分離タイミングで F F 7 にラッチして（23, 24）、計算がなされる（26, 28）。

【0021】この計算は、図 2 (B) にその詳細を示す如く、

$$\left[ \frac{(\text{S C C}_n - \text{S C R}_n) - (\text{S C C}_{n-1} - \text{S C R}_{n-1})}{(\text{S C C}_n - \text{S C C}_{n-1})} \right] / \times 10^6 \quad \dots (1)$$

る（26, 27）。

### 【0024】

【発明の効果】以上述べた様に、本発明によれば、S C R が不等間隔で到着する様な場合に、従来の S C R と S C C との差分情報を積分して制御する方式に比して、短時間当たりの周波数変動量を算出して制御する方式としたので、クロックの周波数引き込み時間を早くすることが可能になるという効果がある。

【0025】また、常時、周波数変動量を計算しているので、国際規格等に規定されている周波数範囲を満たしているか、また周波数が異常となっていないか等がリアルタイムで監視できるという効果もある。

### 【図面の簡単な説明】

50 【図 1】本発明の実施例のブロック図である。

【図2】本発明の実施例の動作を示すフローチャートである。

【図3】従来のクロック同期方式を説明する図である。

【符号の説明】

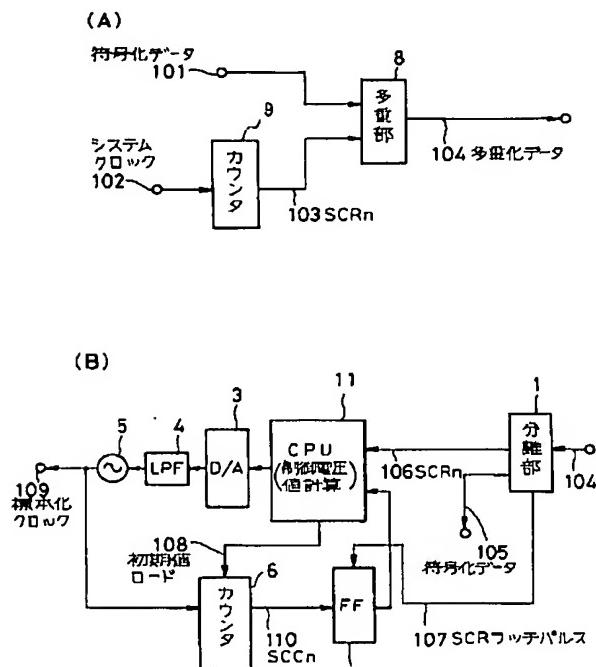
1 分離部

3 D/A変換器

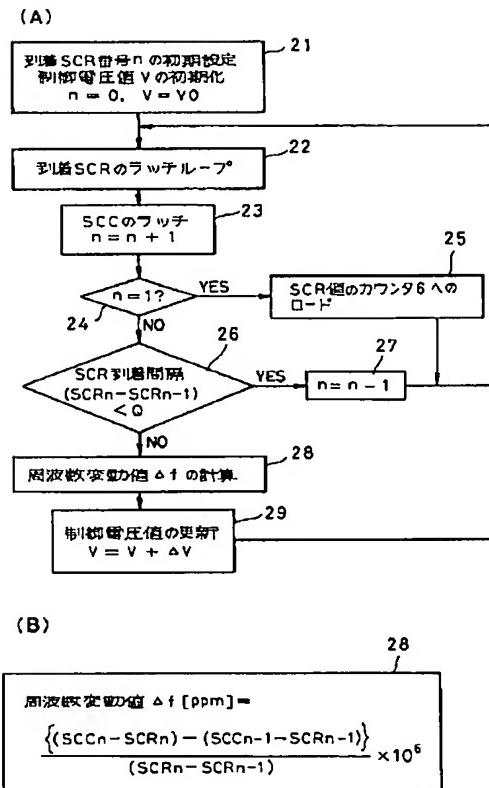
- \* 4 LPF
- 5 VCXO
- 6, 9 カウンタ
- 7 FF
- 8 多重部

\*

【図1】



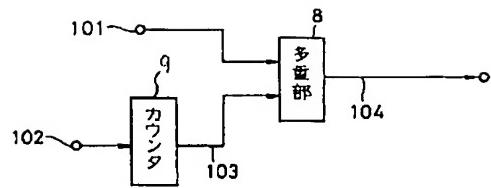
【図2】



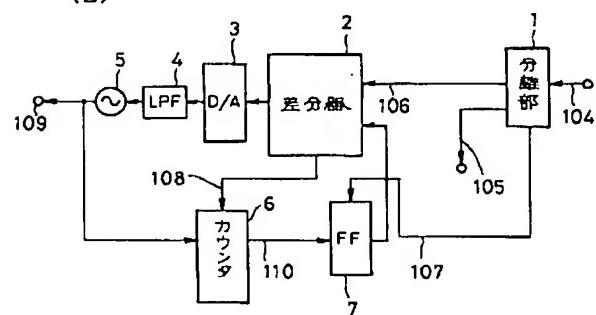
$$\text{周波数変化量} \Delta f [\text{ppm}] = \frac{\{(SCC_n - SCR_n) - (SCC_{n-1} - SCR_{n-1})\}}{(SCR_n - SCR_{n-1})} \times 10^6$$

【図3】

(A)



(B)



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-257038

(43)Date of publication of application : 25.09.1998

---

(51)Int.Cl. H04L 7/00

H04J 3/06

H04L 7/033

---

(21)Application number : 09-056762 (71)Applicant : NEC CORP

(22)Date of filing : 12.03.1997 (72)Inventor : EJIRI SATORU

---

(54) CLOCK SYNCHRONIZATION SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To quicken the frequency pull-in time of clocks and to monitor frequency abnormality in real time by calculating a frequency fluctuation amount per short time and performing control by it when system clock reference information SCR arrives in unequal intervals.

SOLUTION: The SCR 0 which arrives at in a first time is loaded to a counter 6 as an initial value and a CPU 11 performs calculation from the SCR (n) which arrives at in second and succeeding times. That is, the system clock counter value SCC<sub>n</sub> of the counter 6 is latched to an FF 7 and calculated at the separation timing of the SCR (n). By the calculation, the frequency fluctuation amount  $\Delta f$  to the SCR of the SCC per unit time is obtained. Then, the frequency phase control of a voltage controlled oscillator VCXO 5 is performed corresponding to the frequency fluctuation amount  $\Delta f$ . Also, when

the arrival time difference of the SCR is smaller than a prescribed value, since a reception SCR error affects frequency fluctuation, the calculation is performed by the SCR received in the next time at the time.

---

[LEGAL STATUS [Date of request for examination] 12.03.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2988418

[Date of registration] 08.10.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right] 08.10.2002

\* NOTICES \*

JPO and INPIT are not responsible for any  
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

---

## CLAIMS

---

[Claim(s)]

[Claim 1] As opposed to the encoded information encoded by sampling the information which should be transmitted with a sampling clock A separation means to be the clock synchronization system of the receiving side in the transmission system which multiplexes intermittently the digital information which carried out counting of said clock, and transmits it, and to separate said digital information from multiplexing receipt information, An armature-voltage control oscillation means to operate on the same frequency as the frequency of said clock, counting which carries out counting of the oscillation clock of this armature-voltage control oscillation means -- said counting at the time of a means and separation of said digital information -- by the enumerated data of a means, and said digital information separated by said separation means The clock synchronization system characterized by including the control means which computes the amount of frequency drifts of said clock per unit time

amount, and generates the control voltage of said armature-voltage control oscillation means according to this calculation result.

[Claim 2] said counting -- the separation timing of said digital information of the beginning according [ a means ] to said separation means -- answering -- this first digital information -- said counting -- the clock synchronization system according to claim 1 characterized by being constituted so that it may load to a means.

[Claim 3] Said control means is a clock synchronization system according to claim 1 or 2 characterized by having a calculation means to compute said amount of frequency drifts, a means to change this calculation result into an analog quantity, and a means to output to said armature-voltage control oscillation means by making this analog quantity into said control voltage.

[Claim 4] claims 1-3 characterized by said information which should be transmitted being an image and speech information -- either -- the clock synchronization system of a publication.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the clock synchronization system of the receiving side in the transmission system which multiplexes intermittently the digital information which carried out counting of the clock concerned, and transmits it about a clock synchronization system to the

encoded information encoded by sampling information, such as image voice, with a sampling clock.

[0002]

[Description of the Prior Art] The example of this conventional kind of clock synchronization system is shown in the block diagram of drawing 3. Drawing 3 (A) is a transmitting-side block, and the coded data 101 which was sampled by the system clock 102 which is a sampling clock, and was encoded serves as one input of the multiplexing section 8. moreover, the counter 9 which carries out counting of the system clock 102 concerned prepares -- having -- \*\*\*\* -- this counting -- the outputs 103 are the other inputs of the multiplexing section 8 as system clock reference source SCRn (used as clock recovery information in a receiving side).

[0003] In addition, SCRn When "n" indicates the serial number of SCRs multiplexed (number) to be coded data 101 intermittently in the multiplexing section 8 and sets the first SCR to n= 1, n will take one or more integers.

[0004] In the multiplexing section 8, coded data 101 and SCRn 103 which is counter digital information are multiplexed, and it is inserted in the predetermined part of the header unit of a transmitting frame, and is transmitted

as multiplexing data 104.

[0005] If drawing 3 (B) is referred to, the receiving-side block is shown, and the received multiplexing data 104 will be supplied to the separation section 1, and will be divided into coded data 105 and SCRn 106, respectively. SCRn 106 -- difference -- a vessel 2 -- it becomes the force much more, in addition the latch output of FF7 for a data latch (flip-flop) supplies an input -- having -- both difference -- a value is drawn.

[0006] this difference -- since a value is a digital signal, it is changed into an analog signal with D/A converter 3, and serves as control voltage of VCXO (voltage-controlled oscillator)5 through LPF (low pass filter)4 which graduates this analog signal. This VCXO5 is constituted so that the same frequency as a system clock 102 may be oscillated, and this oscillation output is used as a sampling clock 109 in a receiving side.

[0007] This oscillation output 109 is inputted into a counter 6, and counting is carried out one by one. the initial value of this counter 6 -- difference -- the initial load value 108 from a vessel 2 is loaded. this counting -- output SCCn it latches to FF7 as a system clock counter value (SCC) for every timing of the SCR latch pulse 107 from the separation section 1 -- having -- the latch output concerned --

difference -- it becomes the other inputs of a vessel 2.

[0008] 1st received SCR1 It is loaded to a counter 6 as initial value. SCRn which arrives 2nd henceforth difference -- a vessel 2 -- enumerated data SCC 2 of a counter 6 SCR2 which it was compared, respectively, and VCXO5 was controlled according to the difference, and was received SCC2 It is controlled in agreement. By this control, the clock with which the phase of the oscillation output of VCXO5 synchronized with the sampling clock of a transmitting side will be obtained by the receiving side, and the clock recovery by the receiving side is possible.

[0009] In addition, about this clock recovery (synchronization) method, it is specification document ISO/IEC. It is shown as ANNEX (appendix) of 13818-1.

[0010]

[Problem(s) to be Solved by the Invention] With this conventional technique, it is the clock recovery information SCRn at the clock recovery (synchronization) method in a receiving side. Difference with the enumerated data of the counter which carries out counting of the self-propelled clock of VCXO in which armature-voltage control is possible is taken, and this VCXO is controlled according to that difference, and periodically, renewal of control voltage is

possible and it has come.

[0011] However, SCRn which is clock recovery information by factors, such as constraint by format of a transmission system, and high promotion of efficiency of the transmission efficiency of the coded data of an image, Sending-out spacing may serve as adjustable. Thus, when there is a frequency drift on a time-axis locally, by the conventional method, the frequency drift cannot be followed but there is a fault that as a result clock recovery (synchronous processing) becomes late.

[0012] The object of this invention is the clock recovery information SCRn. Even if sending-out spacing serves as adjustable, it is offering the clock synchronous system which enabled it to make time amount (drawing-in time amount) in which the playback clock in recovery shifts to the synchronizing stable state from the condition (drawing-in condition) that the clock and frequency of a transmitting side do not synchronize into smallness.

[0013]

[Means for Solving the Problem] As opposed to the encoded information encoded by sampling the information which should be transmitted with a sampling clock A separation means to be the clock synchronization system of

the receiving side in the transmission system which multiplexes intermittently the digital information which carried out counting of said clock, and transmits it, and to separate said digital information from multiplexing receipt information, An armature-voltage control oscillation means to operate on the same frequency as the frequency of said clock, counting which carries out counting of the oscillation clock of this armature-voltage control oscillation means -- said counting at the time of a means and separation of said digital information -- by the enumerated data of a means, and said digital information separated by said separation means The clock synchronization system characterized by including the control means which computes the amount of frequency drifts of said clock per unit time amount, and generates the control voltage of said armature-voltage control oscillation means according to this calculation result is obtained.

[0014] A means answers the separation timing of said digital information of the beginning by said separation means. and said counting -- It is characterized by being constituted so that it may load to a means. this first digital information -- said counting -- said control means It is characterized by having a calculation means to compute said amount of frequency drifts, a means to change this calculation result into an analog quantity, and a means to output to said

armature-voltage control oscillation means by making this analog quantity into said control voltage.

[0015] An operation of this invention is described. clock recovery information SCRn difference with the output meter numeric value of VCXO -- since the frequency deviation per unit time amount is computed and VCXO is controlled by frequency deviation per this unit time amount with the value -- SCRn it is not dependent on sending-out spacing -- \*\*\*\*\* -- SCRn like the former therefore It prevents that the synchronous drawing-in time amount by inequality sending-out spacing becomes long.

[0016]

[Embodiment of the Invention] The example of this invention is explained to it, referring to a drawing to below.

[0017] Drawing 1 is the block diagram of the example of this invention, and the same sign shows drawing 3 and an equivalent part. Drawing 1 (A) is a transmitting-side block diagram, is equivalent to drawing 3 (A), and omits the explanation.

[0018] Drawing 1 (A) is a receiving-side block diagram, and is attached and stated to the part which is different from drawing 3 (B). the difference of drawing

3 (B) -- CPU (processor for control voltage count)11 which replaces with a vessel  
2 and makes the motion control shown in drawing 2 in this example -- using it --  
\*\*\*\* -- an input -- the former -- the same -- SCRn Latch output SCCn by FF7 it is .

[0019] Explanation of operation is given referring to the flow chart of drawing 2 .

First, initialization of the number n of Reception SCR and the control voltage  
value V of VCXO5 are initialized (n= 0 and V=Vo), and it becomes (21) and the  
arrival waiting of SCR (22).

[0020] SCR0 which reached the 1st time It is loaded to a counter 6 as initial  
value (23-25). therefore, SCRn which arrived 2nd henceforth from -- CPU11 will  
calculate. Namely, SCCn of a counter 6 SCRn It latches to FF7 to separation  
timing (23 24), and count is made (26 28).

[0021] This count is shown [ that detail ] in drawing 2 (B) and needed.

$$[(SCCn-SCRn) - (SCCn-1-SCRn-1) -] / [(SCRn-SCRn-1)] \times 106 \text{ -- (1)}$$

The becoming count of a formula is made. The denominator of this (1) type  
shows receiving spacing of SCR, and, therefore, this (1) type expresses amount  
of frequency drifts deltaf to SCR of SCC per unit time amount.

[0022] It responds to this amount of frequency drifts deltaf, and is the control  
voltage Vn of VCXO5. It is generated and the frequency phase control of VCXO5

is made (29). In this case, supposing the property of VCXO5 to be used is S (ppm/Voltage), it is this control voltage  $V_n$ . It becomes the value which added delta  $V = \Delta f/S$  to the current value.

[0023] In addition, if the time-of-arrival difference of SCR is smallness from the predetermined value Q, since SCC of the counter 6 of a receiving side and the error of Reception SCR will affect a frequency drift, count is made in this case next time using SCR of reception, without calculating (26 27).

[0024]

[Effect of the Invention] the case described above so that SCR may arrive at intervals of an inequality like according to this invention -- the difference of conventional SCR and SCC -- since it considered as the method which computes and controls the amount of frequency drifts per short time as compared with the method which integrates with and controls information, it is effective in becoming possible to carry out frequency drawing-in time amount of a clock early.

[0025] Moreover, since the amount of frequency drifts is always calculated, it is effective in the ability of whether the frequency range specified to the international standard etc. is filled, and whether the frequency serves as

abnormalities to supervise on real time.

---

#### DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

Drawing 1 It is the block diagram of the example of this invention.

[Drawing 2] It is the flow chart which shows actuation of the example of this invention.

[Drawing 3] It is drawing explaining the conventional clock synchronous system.

**[Description of Notations]**

1 Separation Section

3 D/A Converter

4 LPF

5 VCXO

6 Nine Counter

7 FF

8 Multiplex Section